

# 基于 Nios II 和 DDS 的谐波源设计

王春波

河海大学计算机及信息工程学院, 江苏常州 (213022)

E-mail: [wcb\\_hn@126.com](mailto:wcb_hn@126.com)

**摘要:** 本文是基于电能质量研究的需要, 研制高精度, 低成本的电力谐波信号发生器提供给电能质量研究者以测试配电系统的谐波阻抗, 测试用户电力设备解决电能质量问题的能力, 校准电力参数检测装置。基于 DDS 技术的信号发生器模块的 FPGA 开发是本文的核心, 文章分析了谐波产生的原理和直接频率合成技术 (DDS) 的原理, 并做了 MATLAB 仿真, 采用编程方式实现了高达 21 次的任意谐波信号的叠加, 本文应用了双端口的片内 RAM 改进了 DDS 的数据存储方式, 从而实现了任意电能质量信号波形的输出。

**关键词:** Nios II DDS 电力系统 谐波源

**中图分类号:** TP216

## 1. 引言

随着电子技术的发展, 谐波污染对电力系统的影响越来越突出, 对谐波的研究成为该领域研究的热点, 合适的谐波源对研究分析电力系统谐波有着至关重要的作用, 本课题是在 FPGA 上设计一款基于 DDS 技术的高精度, 低成本的电力系统谐波源, 以提供给研究者使用<sup>[1][2]</sup>。DDS 技术在仪器仪表中取得非常广泛的应用, 因为 DDS 技术不仅能产生传统函数发生器所有的正弦、余弦、方波、三角波等常见波形, 还可以利用各种编辑手段, 产生传统函数发生器所不能产生的任意波形, DDS 技术实现的任意波形发生器是当代最新的一类信号源。

## 2. 谐波源工作原理

### 2.1 谐波产生原理

根据傅立叶变换的原理我们知道自然界的任意信号都可以由一系列的正弦信号叠加产生, 因此给定谐波次数、幅值和相位我们就可以抽样产生需要的波形数据提供给 DDS 产生需要的波形信号。

谐波信号的时域表达式为:

$$f(t) = \sum_{i=1}^{2N+1} A_i \sin(2\pi f_i t + \phi_i) \quad (1-1)$$

式中  $A_i$  为幅值,  $f_i$  为频率,  $\phi_i$  为初始相位角,  $i=1,3,5,\dots,21$  他们由所需产生的谐波所确定, 系统中由键盘输入。由于所需波形数据为离散信号, 因此需要对连续信号进行抽样。根据抽样定理, 上述公式离散化为:

$$f(t_k) = \sum_{i=1}^{2N+1} A_i \sin(2\pi f_i t_k + \phi_i) \quad (1-2)$$

式中  $t_k = k\Delta T_i$ ,  $f_c = 1/\Delta T_i$ ,  $f_c$  为采样频率  $f_i = \frac{1}{2^N} f_c$   $k=0,1,2,\dots,M$ ,  $M$  由采

样点数决定, 为了保证精度要求本课题采样点为 2048 点, 即  $M=2048$ ,  $\Delta T_i$  为时间基准信号, 为基波频率的整周期的  $M$  等分, 即  $\Delta T_i = 1 / 2\pi f_1 M$ , 因此相应的离散序列为

$$f(t) = \sum_{i=1}^{2M+1} A_i \sin(2\pi f_i k \Delta T_i + \phi_i) \quad (1-3)$$

采样点数据  $f_i(t_k)$  送到 DDS 的波形查找表, 供 DDS 调用输出。

## 2.2 DDS 原理

根据采样定理: 只要满足采样频率:

$$f_1 < \frac{1}{2} f_c \quad (1-4)$$

就能从 (1-2) 出来的离散序列唯一的恢复出 (1-1) 的模拟信号。令  $\phi_i = 0$ , 则式 (1-3) 相应的离散相位序列为:

$$\theta(k) = 2\pi f_1 k \Delta T_i = \Delta\theta k \quad (1-5)$$

由此可知, 决定了信号的频率的是两次采样之间的相位增量  $\Delta\theta$ 。因此, 只要控制这个相位增量, 就可以控制合成信号的频率。现将整个周期的相位  $2\pi$  分成  $M$  份, 每一份为  $\delta = 2\pi / M$ , 若每次的相位增量选择为  $\delta$  的  $K$  倍, 即可得到信号的频率:

$$f_1 = \frac{K\delta}{2\pi T_c} = \frac{K}{M} f_c \quad (1-6)$$

式中  $K$  和  $M$  都是正整数,  $K$  就是要求的 DDS 的频率控制字, 根据采样定理的要求,  $K$  的最大值应小于  $M$  的  $1/2$ 。综上所述, 在采样频率一定的情况下, 可以通过控制两次采样之间的相位增量 (不得大于  $\pi$ ) 来控制所得离散序列的频率, 经保持、滤波之后可唯一的恢复出此频率的模拟信号。

## 2.3 MATLAB 仿真分析

根据谐波产生原理, 我们借助 MATLAB 检验原理的正确性及实用性, 进行谐波产生原理及 DDS 原理的数学仿真。

```
根据谐波原理设计仿真函数 function s=signal_generate(a,f,fs,N)
fs=10000;
num=length(f); %f 的长度
s=zeros(1,N); %定义一个长度为 N 的一维全零数组
for i=1:num
s=s+a(i)*sin(f(i)*2*pi*(1:N)/N); %a(i)谐波的幅值, f(i)谐波频率
end
```

如图 2.1 是该函数在谐波次数  $f=[1\ 5\ 9]$ , 谐波幅值  $a=[1\ 1/3\ 1/4]$ , 初相位为 0 的仿真图, 自上而下依次是点数为 1000 点的谐波波形图, 对谐波波形进行 100 点的抽样图, 根据抽样图输出的阶梯波形图, 对阶梯波形进行低通滤波恢复的谐波波形图。分别仿真谐波波形生成过程, DDS 频率步进过程, DA 转换过程和 LPF 滤波过程。

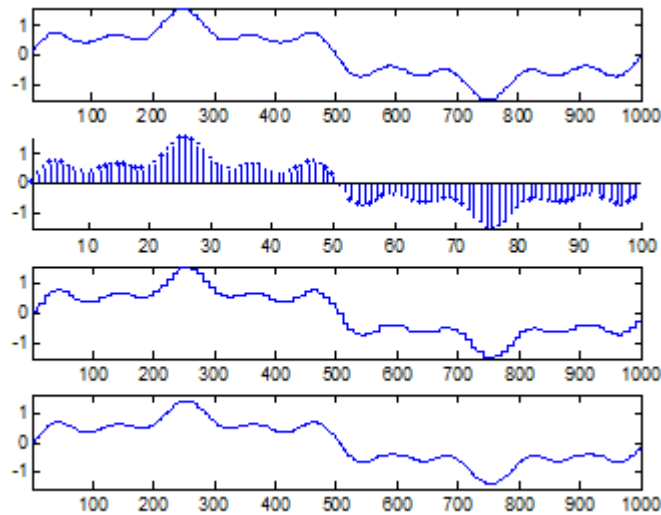


图 2.1 谐波波形仿真图

分析仿真结果，我们可以确定基于编程方式生成波形数据的技术方案符合设计要求。

### 3. 基于 FPGA 的硬件设计

基于 FPGA 实现的直接数字频率合成有着灵活的接口和控制方式、较短的转换时间、较宽的带宽、以及相位连续变化和频率分辨率较高等优点。本系统采用的是 CycloneIII 的 FPGA 开发系统，主要设计的模块有 Nios II 的定制，DDS 模块的开发。DDS 采用双端口读写双时钟的 RAM 做为波形存储器，因此所研制的信号发生器可以重现几乎任何波形。

#### 3.1 Nios II 的系统定制

系统的 Nios II 软核由 SOPC 定制，Nios II 系列软核处理器是 Altera 公司的第二代 FPGA 嵌入式处理器。具有 32 位的精简指令集 CPU，在 FPGA 上通过编程方式实现，这是与传统的 CPU 的一个根本差别<sup>[5][6]</sup>。

QuartusII 提供了 SOPC Builder 定制和构建 NiosII 软核和外设控制器，这些模块全部挂在 Avalon 总线上由 CPU 来统一管理，本系统的 LCD 控制器、键盘控制器、双口 RAM 的控制器的开发就是通过这种方式实现。

#### 3.2 双端口 RAM、PLL 的定制

该模块主要实现查找表功能，该模型为具有独立输入输出的 RAM 的通用模型。读写采用异步时钟，写时钟与系统时钟同步，读时钟与 DDS 时钟信号同步，这样给方便信号输入又便于 DDS 系统调用<sup>[7]</sup>。数据输入端通过三态桥连接入到 NIOSII 的 Avlone\_slave 端，便于 Nios II 写入数据，实现适时更新。根据精度要求本系统采样点数为 2048 点，数据宽度 8 位，故确定双端口 RAM 的大小为  $2048 \times 8\text{bit}$ ，地址空间 11 位。该模块有一组输入数据信号  $\text{data}[7..0]$  和一组写地址信号  $\text{waddress}[10..0]$ ，一组读地址信号  $\text{rdaddress}[10..0]$ ，两个读、写时钟，一个读写控制信号  $\text{we}$  以及一组输出数据信号  $\text{q}[7..0]$ 。

该模块设计直接调用了 Quartus II 8.0 的 IP MegaCore 中的(lpm (Library of Parameterized Modules 参数化模型库)。lpm 是一些参数化的模型, 用户使用时, 只要指定一些参数, 就能够实现预定的功能。本设计调用了 lpm\_ram\_dq 模型。另外系统的 PLL 同样调用了 lpm\_pll 模型, 产生 50M 的系统时钟, 100M 的 sdram 时钟, 2kHz 的 DDS 时钟, 分别由 C0, C1, C2 输出到 NiosII、sdram、DDS, PLL 的输入时钟由片外 50MHz 的有源晶振提供。

### 3.3 DDS 模块的 FPGA 开发

DDS 模块包括相位累加器, 双口 RAM 及其控制器的开发。其中主要的相位累加器的开发, 本课题输出为 30Hz~60Hz 的工频信号, 系统参考时钟 2KHz 输入为 11 位频率控制字可以达到最小分辨率 1Hz, 为了减小程序的复杂程度, 选用 6 位频率控制字 fcw。相位累加器的 VHDL 主程序如下:

```
begin
process(clk,en)
begin
if(clk'event and clk='1')then
if en='0' then
temp<="00000000000";
else
temp<=temp+("0000" & fcw);
end if;
end if;
end process;
addr<=temp;
End bev;
```

相位加法器, 功能确定波形的初始相位, VHDL 主程序如下:

```
begin
process(num,pcw)
begin
temp<=num+pcw;
end process;
sum<=temp;
end bev;
```

加法器输出到双口 RAM 的 rdaddress[10...0]端, 控制数据输出。图 3-1 为 DDS 系统整体 symbol 图, DDS 各部分连接如图。DDS 输入端连接到 NiosII, 由 NiosII 提供频率控制字 fcw, 相位控制字 pcw, 和 2048 个点的波形采样数据。输出通过一片 8 位 DAC 芯片, 和功率放大器模块生成需要的电力系统谐波信号。

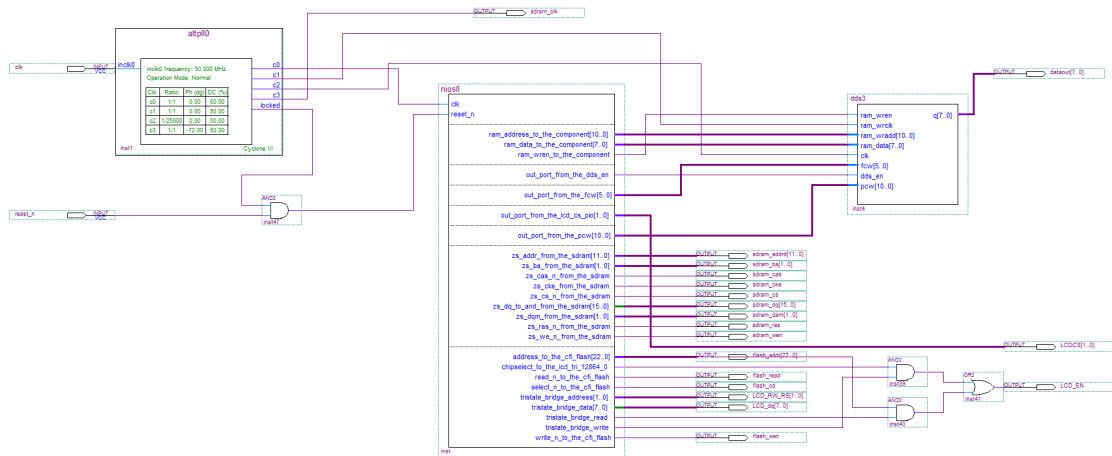


图 3-1 DDS 系统整体 symbol 图

系统搭建完成对结果进行仿真分析，功能正确，精度在控制范围内，符合设计要求。图 3-2 为 DDS 在 quartus II 中的波形仿真图。

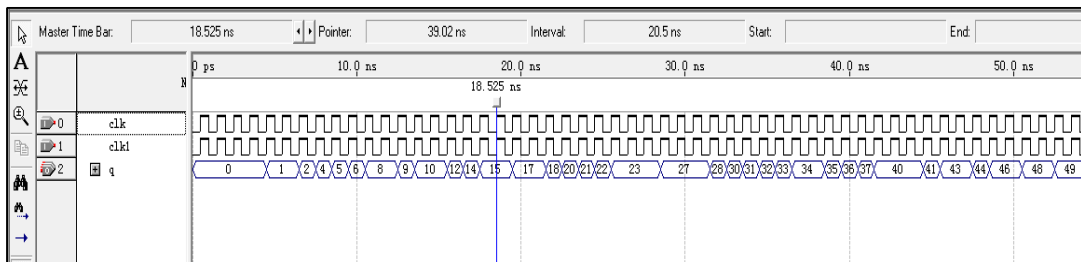


图 3-2 DDS 在 quartus II 中的波形仿真图

#### 4. 软件设计

系统软件应该包括三个子模块：波形数据计算模块、DDS 频率控制字计算模块、相位初值计算模块。系统初始化后，接收外部参数信息，通过 C 语言计算出谐波波形数据并写入双端口 RAM，第二步计算 DDS 频率控制字，输入给 DDS 的频率控制端，计算相位初值，给地址计数器置一个初值后，波形数据输出到 DAC 进行转换，最后放大输出。三个子模块相互独立，根据需要调用不同的模块而不影响其他模块<sup>[8]</sup>。其程序流程图见图 4-1。

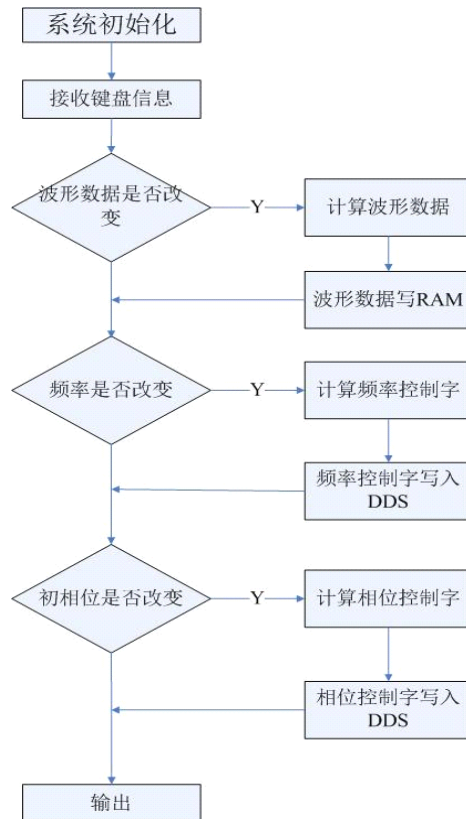


图 4-1 软件流程图

## 5. 结论

本系统采用 FPGA 来设计, 利用 FPGA 硬件的高速性、高集成度和 32 位的 Nios II 的强大运算能力使得谐波信号源的控制灵活方便, 产生的信号精度高, 稳定性好, 而且可扩展性强, 只需改变软件即可产生其他的波形, 具有十分重要的应用价值和推广前景<sup>[9]</sup>。

## 参考文献

- [1] 胡照文, 张雪丽, 赵华芬, 等. 基于 F240 谐波信号发生器的设计方法和技巧[J]. 制造业自动化, 2004, 26(7): 67-68.
- [2] CALBAZA D E, SAVARIA Y, Direct digital frequency synthesis circuit[J]. IEEE Journal solid—State Circuits, 2002, 8(37): 1 039-1 047 .
- [3] CORDESSES L. Direct digital synthesis: a tool for periodic wave generation [J]. IEEE Signal Processing, 2004, 9(21): 110-112.
- [4] L CALLEGARO, V D'ELIA. A synchronized two-phase sinewave generator for AC metrology system compensations [ J ]. IEEE Trans Instrumentation and Measurement, 2000, 1(49): 320-324.
- [5] Altera Corporation. Nios II Processor Reference Handbook. May 2006.
- [6] Altera Corporation. Nios II Software Developer's Handbook. May 2006.
- [7] 石玮. 基于 FPGA 和双端口 RAM 的 DDS 任意波形发生器的实现[J]. 湖北师范学院学报(自然科学版), 2008, 28(1): 41-45.
- [8] 马品红. 基于 SOPC 的任意波形发生器的研究与开发 [D]. 辽宁大连: 大连理工大学, 2006.
- [9] 王数明, 戴瑜兴. 基于 DDS 技术的可叠加谐波的正弦信号源设计[J]. 湖南师范大学自然科学学报, 2005, 28(4): 45-48.

## Design of harmonic signal generator Based on DDS/NiosII

Wang Chunbo

HOHAI University Computer and Information Engineering College , JangShu ChangZhou  
(213022)

### Abstract

Based on the requirement of power quality study, the article is to develop high accuracy, low cost power quality signal generating device and provide them to the researchers for electrical power distribution system harmonic impedance test, to exam the quality improving ability of users' facilities, to calibrate the electric power parameter detector set. FPGA.The core of the article is the FPGA development of technical signal generating device module that bases on DDS. Which discussed the principle of DDS and harmonic signal generator,and carried on the simulation analysis, selected the programming method to realize random harmonic signals superimposition as high as 21 times. Dual-port internal RAM is applied to improve the data storage of DDS in this paper.random power quality waveform output is realized.

**Keywords: DDS, NiosII , harmonic signal generator, power system**